

Capacitor for semiconductor device and its making process

Publication number: CN1384539

Publication date: 2002-12-11

Inventor: GI-CHONG LEE (KR); BYONG-SEUP HONG (KR)

Applicant: HAIRYOKSA SEMICONDUCTOR CO LTD (KR)

Classification:

- international: *H01L21/8242; H01L21/02; H01L21/314; H01L27/108; H01L21/70; H01L21/02; H01L27/108; (IPC1-7): H01L21/70; H01L21/28; H01L21/31; H01L21/324*

- European: H01L21/02B3; H01L21/314B1

Application number: CN20011045493 20011231

Priority number(s): KR20010023407 20010430

Also published as:



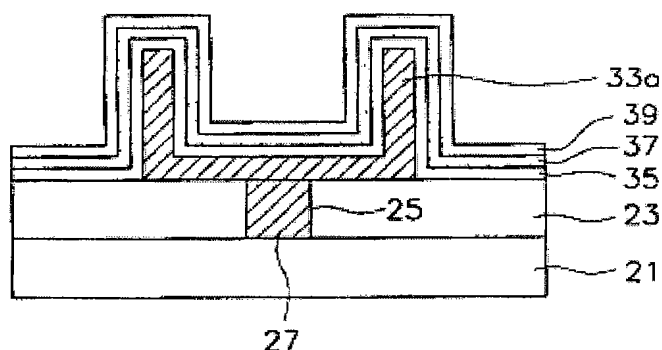
US6656789 (B2)
US2002160559 (A1)
JP2002343889 (A)
GB2375229 (A)
DE10163345 (A1)

[Report a data error here](#)

Abstract not available for CN1384539

Abstract of corresponding document: **US2002160559**

The present invention relates to a capacitor structure suitable for semiconductor devices and a method for manufacturing such capacitors for highly-integrated memory devices using a TaON dielectric layer having a high dielectric constant. The capacitor is produced on a semiconductor substrate by forming an insulating interlayer on the substrate, forming a contact hole through the insulating interlayer, forming a contact plug in the contact hole, forming a lower electrode with MPS that is electrically connected to the contact plug, doping the lower electrode, forming a TaON dielectric layer on the lower electrode, annealing the TaON dielectric layer, and forming an upper electrode layer on the TaON dielectric layer.



Data supplied from the **esp@cenet** database - Worldwide

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/70

H01L 21/28 H01L 21/31

H01L 21/324

[12] 发明专利申请公开说明书

[21] 申请号 01145493.8

[43] 公开日 2002 年 12 月 11 日

[11] 公开号 CN 1384539A

[22] 申请日 2001.12.31 [21] 申请号 01145493.8

[30] 优先权

[32] 2001.4.30 [33] KR [31] 23407/01

[71] 申请人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 李起正 洪炳涉

[74] 专利代理机构 北京市柳沈律师事务所

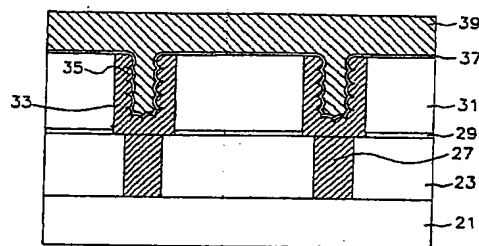
代理人 范明娥 张平元

权利要求书 5 页 说明书 10 页 附图 4 页

[54] 发明名称 半导体元件的电容器及其制造方法

[57] 摘要

本发明提供一种利用高介电率的 TaON 介电体膜, 制造适合于高集成存储器元件的电容器的半导体元件电容器及其制造方法。该法包括: 提供半导体基片 21 的步骤和; 在所述半导体基片上形成具有 MPS (亚稳定硅: Meta-Stable-Silicon) 35 的下部电极的步骤和; 在 550 ~ 660℃ 的温度和磷 (P) 气体气氛下对所述下部电极进行热掺杂的步骤和; 在所述下部电极上形成 TaON 介电体膜 37 的步骤和; 在所述 TaON 介电体膜上形成上部电极 39 的步骤。



ISSN 1008-4274

1. 一种半导体元件电容器的制造方法, 其特征在于包括:
提供半导体基片的步骤和;
- 5 在所述半导体基片上形成具有 MPS(亚稳定硅: Meta-Stable-Silicon)的下部电极的步骤和;
在 550~660℃的温度和磷(phosphorus)气体气氛下对所述下部电极进行热掺杂的步骤和;
在所述下部电极上形成 TaON 介电体膜的步骤和;
- 10 在所述 TaON 介电体膜上形成上部电极的步骤。
2. 一种半导体元件电容器的制造方法, 其特征在于包括:
提供半导体基片的步骤和;
在所述半导体基片上形成有接触孔的层间绝缘膜的步骤和;
在所述层间绝缘膜的接触孔内形成接触插头的步骤和;
- 15 在包含所述接触插头的层间绝缘膜上形成具有与所述接触插头电连接的 MPS 的下部电极的步骤和;
在 550~650℃的温度和磷(phosphorus)气体气氛下对具有所述 MPS 的下部电极进行热掺杂的步骤和;
在所述下部电极上形成 TaON 介电体膜的步骤和;
- 20 对所述 TaON 介电体膜实施退火处理的步骤和;
在所述 TaON 介电体膜上形成上部电极的步骤。
3. 一种半导体元件电容器的制造方法, 其特征在于包括:
提供半导体基片的步骤和;
在所述半导体基片上形成具有第一接触孔的第一层间绝缘膜的步骤
- 25 和;
在所述第一接触孔内形成接触插头的步骤和;
在包含所述接触插头的的第一层间绝缘膜上面形成蚀刻阻挡层的步骤和;
在所述蚀刻阻挡层上形成第二层间绝缘膜的步骤和;
- 30 在所述第二层间绝缘膜上依次形成硬掩模用聚合硅层和防反射层的步骤和;

依次去除所述防反射膜、硬掩模用聚合硅层、第二层间绝缘膜和蚀刻阻挡层,形成露出所述接触插头上面的第二接触孔的步骤和;

在包含所述露出的接触插头的上面的所述防反射膜上形成掺杂聚合硅层的步骤和;

5 在所述掺杂聚合硅层上形成 MPS 层的步骤和;

在所述 MPS 层上在 550~660℃ 的温度和磷气体气氛下进行热掺杂的步骤和;

在所述热掺杂处理的整个结构的表面上形成埋置所述 MPS 层的防蚀消耗性埋置层的步骤和;

10 选择地去除所述防蚀消耗性埋置层和 MPS 层、掺杂聚合硅层、防反射膜和硬掩模用聚合硅层,使所述第二层间绝缘膜的上面露出的步骤和;

完全去除在所述 MPS 层的露出的表面上残留的防蚀消耗性埋置层的步骤和;

15 在包含所述 MPS 层的第二层间绝缘膜的露出的表面上,形成 TaON 介电体膜的步骤和;

对所述 TaON 介电体膜在 700~900℃ 的温度和 N₂O 或 O₂ 气氛下实施第一次退火处理的步骤和;

在所述 TaON 介电体膜上形成上部电极的步骤和;

20 在形成所述上部电极后,在 800~950℃ 的温度下进行第二次退火处理的步骤。

4. 根据权利要求 1 或 2 所述的半导体元件电容器的制造方法,其特征在于,具有所述 MPS 的下部电极是由掺杂聚合硅层和 MPS 构成的。

25 5. 根据权利要求 1 或 2 所述的半导体元件电容器的制造方法,其特征在于,所述热掺杂的步骤是在电炉中在 1 到 100Torr 的范围内在压力保持一定下进行 30 到 120 分钟。

6. 根据权利要求 1 或 2 所述的半导体元件电容器的制造方法,其特征在于,所述磷气体使用的是 1~5% 的 PH₃/N₂ 或 PH₃/He,使用的气体流量为 50~2000sccm(标准 cc/min)。

30 7. 根据权利要求 1 或 2 所述的半导体元件电容器的制造方法,其特征在于,所述下部电极形成凹状(concave)结构、层叠结构(stacked structure)和柱状结构之一。

8. 根据权利要求1所述的半导体元件电容器的制造方法, 其特征在于, 还包括: 在形成所述TaON介电体膜的步骤之后, 在 N_2O 或 O_2 气氛下于 $700\sim 900^\circ C$ 的温度下进行退火的步骤。

5 9. 根据权利要求8所述的半导体元件电容器的制造方法, 其特征在于, 还包括: 在形成所述TaON介电体膜的步骤之后, 在 N_2O 或 O_2 气氛下于 $700\sim 900^\circ C$ 的温度下进行一次退火处理后, 在 NH_3 气氛下于 $700\sim 900^\circ C$ 的温度下在RTP(Rapid Thermal Processor)或电炉中进行二次退火处理或在 NH_3 气氛下于 $400\sim 500^\circ C$ 的温度下由二次等离子体进行退火处理的步骤。

10 10. 根据权利要求9所述的半导体元件电容器的制造方法, 其特征在于, 还包括: 在所述 NH_3 气氛下进行退火后, 在 $400\sim 500^\circ C$ 的温度下于 N_2O 或 O_2 气氛下进行1到2分钟的等离子体氧化处理的步骤。

15 11. 根据权利要求1或2所述的半导体元件电容器的制造方法, 其特征在于, 还包括: 在形成所述上部电极之前的步骤中, 在 NH_3 气氛下退火处理后, 于 $400\sim 500^\circ C$ 的温度下在 N_2O 或 O_2 气氛下进行1到2分钟的等离子体氧化处理的步骤。

12. 根据权利要求1或2所述的半导体元件电容器的制造方法, 其特征在于, 还包括: 在形成所述上部电极的步骤后, 在 $800\sim 950^\circ C$ 的温度范围中利用RTP或电炉进行退火的步骤。

20 13. 根据权利要求1、2或3任何一项所述的半导体元件电容器的制造方法, 其特征在于, 所述上部电极是使用TiN形成的。

14. 根据权利要求1、2或3任何一项所述的半导体元件电容器的制造方法, 其特征在于, 所述上部电极是在TaON介电体膜上形成TiN层后, 在所述TiN层上层叠掺杂聚合硅层而形成的。

25 15. 根据权利要求1、2或3任何一项所述的半导体元件电容器的制造方法, 其特征在于, 所述上部电极是使用TaN、W、WN、WSi、Ru、 RuO_2 、Ir、 IrO_2 、Pt的金属类物质中的任何一种形成的。

16. 根据权利要求2所述的半导体元件电容器的制造方法, 其特征在于, 把所述TaON介电体膜进行退火处理的步骤是在 N_2O 或 O_2 气氛下于 700 到 $900^\circ C$ 的温度下进行的。

30 17. 根据权利要求2所述的半导体元件电容器的制造方法, 其特征在于, 还包括: 所述TaON介电体膜进行退火处理的步骤, 在 N_2O 或 O_2 气氛

下,于 700~900℃ 的温度下进行一次退火处理后,在 NH_3 气氛下于 700~900℃ 的温度下,在 RTP 或电炉中进行二次退火处理,或在 NH_3 气氛下于 400~500℃ 的温度下进行二次退火处理的步骤。

5 18. 根据权利要求 17 所述的半导体元件电容器的制造方法,其特征在于,还包括:在所述 NH_3 气氛下实施退火后,于 400~500℃ 的温度下,在 N_2O 或 O_2 气氛下进行 1 到 2 分钟的等离子体氧化处理的步骤。

19. 根据权利要求 2 或 3 所述的半导体元件电容器的制造方法,其特征在于,所述上部电极是在使用上述金属类物质的任何一种的层上叠置掺杂聚合硅层而形成的。

10 20. 根据权利要求 3 所述的半导体元件电容器的制造方法,其特征在于,所述第一和第二层间绝缘膜可使用 HDP(高密度等离子体: High Dencity Plasma)、BPSG(硼磷硅酸盐玻璃: borophosphorous silicate glass)或 SOG(旋压成形玻璃: spin on glass)中的任何一种。

15 21. 根据权利要求 3 所述的半导体元件电容器的制造方法,其特征在于,形成所述接触插头的步骤包括:在具有所述接触孔的第一层间绝缘膜上蒸镀掺杂聚合硅层,并通过 CMP(化学机械抛光: Chemical Mechanical Polishing)工序或全面蚀刻工序选择地将其去除的步骤。

22. 根据权利要求 21 所述的半导体元件电容器的制造方法,其特征在于,所述接触插头用的掺杂聚合硅层是使用 LP-CVD 或 RTP 设备形成的。

20 23. 根据权利要求 3 所述的半导体元件电容器的制造方法,其特征在于,所述蚀刻阻挡层是使用 LP-CVD、PECVD 或 RTP 设备蒸镀成 200 到 800Å 厚的氮化膜。

24. 根据权利要求 3 所述的半导体元件电容器的制造方法,其特征在于,所述防反射层使用的是 SiON 等无机物质或有机物质,膜厚为 300 到 1000 Å。

25 25. 根据权利要求 3 所述的半导体元件电容器的制造方法,其特征在于,所述热掺杂处理步骤是在电炉中,在 1 到 100Torr 范围内保持压力一定进行 30 到 120 分钟,所述磷气体使用的是 1 到 5% 的 PH_3/N_2 或 PH_3/He , 气体流量为 50~2000sccm(标准 cc/min)。

30 26. 根据权利要求 3 所述的半导体元件电容器的制造方法,其特征在于,所述防蚀消耗性埋置层中使用 0.5~1.5μm 厚的感光膜,或 0.1 到 0.5μm

厚的 PSG(磷硅酸盐玻璃: phosphorous silicate glass)或 USG(未掺杂的硅酸盐玻璃: Undoped silicate glass)等氧化膜。

27. 根据权利要求 3 所述的半导体元件电容器的制造方法, 其特征在于, 所述第二层绝缘膜使用 PE-TEOS(等离子体强化的四乙基正硅酸盐: tetraethylorthosilicate), 在所述防蚀消耗性埋置层使用 PSG 膜或 USG 膜。

28. 根据权利要求 3 所述的半导体元件电容器的制造方法, 其特征在于, 还包括: 所述第一次退火处理后, 在 NH_3 气氛下于 $700\sim 900^\circ\text{C}$ 的温度下, 在 RTP 或电炉中进行退火处理, 或在 NH_3 气氛下于 $400\sim 500^\circ\text{C}$ 的温度下进行等离子体退火处理的步骤。

29. 根据权利要求 28 所述的半导体元件电容器的制造方法, 其特征在于, 还包括: 在所述 NH_3 气氛下实施退火后, 在 $400\sim 500^\circ\text{C}$ 的温度下, 于 N_2O 或 O_2 气氛下进行 1 到 2 分钟的等离子体氧化处理的步骤。

30. 一种半导体元件电容器, 其特征在于, 包括:

半导体基片和;

- 具有在所述半导体基片上形成的, 在 $550\sim 660^\circ\text{C}$ 的温度和磷气体气氛下进行热掺杂处理的 MPS 层的下部电极和;

在所述下部电极上形成的 TaON 介电体膜和;

在所述 TaON 介电体膜上形成的上部电极。

31. 根据权利要求 30 所述的半导体元件电容器, 其特征在于:

- 具有所述 MPS 层的下部电极是由掺杂聚合硅层和 MPS 层构成的。

32. 根据权利要求 30 所述的半导体元件电容器, 其特征在于, 所述下部电极形成凹陷结构、层叠结构和柱状结构中的任何一种。

33. 根据权利要求 30 所述的半导体元件电容器, 其特征在于, 所述上部电极是使用 TiN、TaN、W、WN、WSi、Ru、 RuO_2 、Ir、 IrO_2 、Pt 的金属类物质中的任何一种形成的。

34. 根据权利要求 33 所述的半导体元件电容器, 其特征在于, 所述上部电极是用上述金属类物质和掺杂硅层以层叠结构构成的。

半导体元件的电容器

及其制造方法

5

发明所属技术领域

本发明涉及半导体存储器元件,更详细地说,涉及利用高介电率的 TaON 介电膜制造适合于高集成存储器元件的电容器的半导体元件电容器及其制
10 造方法。

现有技术

一般地,由于精细半导体工艺技术的发展而伴随存储器制品的高度集成
15 化的加速,每一单位单元的面积大大减少,造成操作电压降低。

但是,存储元件的操作需要的充电电容,尽管单元面积减小,为防止软件出错(soft error)的产生和刷新时间(refresh time)的缩短,仍要求大于 25fF/单元的足够的充电电容。原来,像氮化膜/氧化膜(NO)结构一样,将氮化膜用于介电体的 DRAM 用电容器的情况下,为增大有效表面积并确保充电电容,
20 将下部电极形成成为 3 维结构或者使下部电极高度增高。

然而,将下部电极形成成为 3 维结构,由于加工上的困难,对于确保充电电容是有限的。另外,将下部电极高度增高,由于随着高度增高产生的单元区域和周围电路区域之间的台阶,在后面的曝光工序中不能确保聚焦深度(Depth of Focus),在蚀刻工序后的集成工序中产生恶劣影响。

25 因此,原有的 NO 结构的电容器中,在确保 256M 以上的下一代 DRAM 元件需要的充电电容方面有限制。最近,为克服这样的 NO 电容器的限制而用介电常数值为 25 到 27 的 Ta₂O₅ 薄膜代替介电常数值为 4 到 5 的 NO 薄膜,用于介电体膜,进行 Ta₂O₅ 电容器的开发。

但是,由于 Ta₂O₅ 薄膜的化学计量比不稳定,Ta 和 O 的组成比的差导致
30 置换形式的 Ta 原子存在于薄膜内。即,Ta₂O₅ 薄膜由于物质本身的化学组成比不稳定,从而薄膜内通常局部存在氧空位(Oxygen vacancy)状态置换 Ta 原

子。

特别是, Ta_2O_5 薄膜的氧空位数, 根据成分等的含量和结合程度而有一些差异, 不能完全去除。

结果是, 为防止电容器的电流泄漏, 需要使 Ta_2O_5 薄膜的不稳定的化学计量比加以稳定、将残留在介电体薄膜内的置换形式的 Ta 原子加以氧化的另外的氧化工序。另外, 由于 Ta_2O_5 薄膜与用于上部电极和下部电极的聚合硅(氧化物类电极)或 TiN(金属类电极)的氧化反应性大, 在薄膜内存在的氧向界面移动, 形成低介电率氧化层, 同时大大降低界面的均匀性。

在薄膜形成时, 作为 Ta_2O_5 薄膜的母体(precursor)的 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 的有机物, 与由于 O_2 或 N_2O 气体的反应而生成的杂质碳(C)原子和, C、 CH_4 、 C_2H_4 等碳化物以及水(H_2O)共存。结果是, 不仅在 Ta_2O_5 薄膜内的杂质中存在的碳原子(Carbon)离子和游离基(radical)而且氧空位将使电容器的电流泄漏增加, 使介电特性恶化。

另一方面, 原来为克服这样的问题, 提出在 N_2O 或 O_2 气氛下利用电炉或 PTP 进行后续热处理(氧化工序)的技术。但是, 在 N_2O 或 O_2 气氛下进行后续热处理时, 在与下部电极的界面上形成低介电的氧化膜一起, 并且产生过渡层(depletion layer)加深的问题。

这里, 针对因包含这种后续热处理时产生的问题而在电荷贮存的电极用接触插头形成, 或 TaON 介电体膜形成时产生的问题等, 如图 1 到 3 所示, 对现有技术中涉及的半导体元件电容器及其制造方法作如下说明。

现有技术涉及的半导体元件的电容器及其制造方法如图 1 所示, 在半导体基片 1 上依次蒸镀层间绝缘膜 3 和阻挡层氮化膜 5 以及缓冲氧化膜 7。此时, 层间绝缘膜 3 上使用 HDP、BPSG 或 SOG 物质之一来蒸镀。另外, 阻挡层氮化膜 5 上使用等离子体氮化膜蒸镀, 在缓冲氧化膜 7 上使用 PE-TEOS 蒸镀。

接着, 虽然图中未示出, 但在缓冲氧化膜 7 上涂布插头接触掩模用感光膜图案, 作为掩模依次去除缓冲氧化膜 7、阻挡层氮化膜 5 和层间绝缘膜 3 部分, 形成露出半导体基片 1 的接触孔 9。

随后, 去除感光膜图案(未示出), 在包含接触孔 9 的缓冲氧化膜 7 的上面蒸镀埋置接触孔 9 的聚合硅物质, 通过全面蚀刻选择地将其去除来形成接触插头 11。

接着,如图2所示,在包含接触插头11的整个结构的露出的上面,蒸镀盖层氧化膜13。接着,虽未示出,但在盖层氧化膜13上涂布存储节(storage node)掩模用感光膜图案,以其为掩模选择地去除盖层氧化膜13而露出接触插头11的上面。接着,在包含接触插头11上面的盖层氧化膜13的露出的上面蒸镀掺杂的聚合硅层15。

接着,如图3所示,通过全面蚀刻选择地去除掺杂聚合硅层15直到露出盖层氧化膜13,形成下部电极15a。随后,在包含下部电极15a的整个结构的上面,形成TaON或Ta₂O₅介电体膜17。接着,在N₂O或O₂气氛下对TaON或Ta₂O₅介电体膜17进行后续热处理。随后,在TaON或Ta₂O₅介电体膜17上,形成上部电极19而完成电容器的制造。

发明要解决的问题

但是,上述已有的TaON(或Ta₂O₅)半导体元件的电容器的下部电极接触用接触插头11,如图1所示,与层间绝缘膜(图中未示出,但存在于位线(bit line)和下部电极之间的氧化膜)一起,在阻挡层氮化膜上的缓冲膜(buffer layer)上连续蒸镀氧化膜后,选择地将其去除后,在去除的部分内,蒸镀导电性物质,将其形成图案。

这样形成接触插头时,如图2所示,由于接触插头11在阻挡层氮化膜5上突出约500~1500 Å厚,所以,实际上,下部电极占据的面积减少,在相邻接插头之间产生桥路(bridge)的频率增大,有引起电性不良的问题。

另一方面,在H₂O或O₂气氛下对TaON或Ta₂O₅介电体膜进行后续热处理时,在与下部电极的界面上形成低介电率的氧化膜,并且有过渡层(depletion layer)加深的问题。结果由于过渡率(depletion ratio)(ΔC)为7到17%左右,有电容器效率降低的问题。此时,表示过渡率为(ΔC)= $1 - [(C_{\text{最大}} - C_{\text{最小}})/C_{\text{最大}}] \times 100$ 。这里,C_{最大}是向上部电极施加“+”电压时的电容(Cs)、C_{最小}是向上部电极施加“-”电压时的电容(Cs)。

另一方面,原有的TaON电容器的制造方法中,为了去除TaON薄膜蒸镀后成为电容器的电流泄漏的原因的薄膜内的碳杂质和氧空位,从而在700~800℃的温度和N₂O或O₂气氛下实施热处理。但是,在这种热处理过程中,TaON薄膜内存在的20~30%左右的氮成分中,一部分向作为下部电

极的下部聚合硅层的表面移动而堆积(pile-up)起来, 剩余的部分向外部扩散, 实际上产生介电损失, 成为得到更大的充电电容的限界点。

因此, 鉴于上述已有的半导体元件的电容器及其制造方法中存在的问题, 本发明的目的是提供一种在接触插头形成时可缩短单位工序数和单位工
5 序时间并且降低生产成本的半导体元件电容器及其制造方法。

而且, 本发明目的是提供一种通过防止相邻的接触插头之间产生桥路来改善半导体元件的不良电性的半导体元件的电容器及其制造方法。

本发明目的是提供一种使下部电极侧的过渡率达到最小并得到高的充电电容值的半导体元件的电容器及其制造方法。

10 本发明目的是提供一种经后续热处理或等离子体退火处理使 TaON 介电体膜的介电率增加、可以制造适合于高集成元件的电容器的半导体元件的电容器及其制造方法。

解决问题的方案

15

为达到上述目的, 本发明的半导体元件的电容器制造方法的特征在于包括: 提供半导体基片的步骤和; 在所述半导体基片上形成具有 MPS(亚稳定硅: Meta-Stable-Silicon)的下部电极的步骤和; 在 550~660℃的温度和磷(phosphorus)气体气氛下对上述下部电极进行热掺杂的步骤和; 在上述下部电
20 极上形成 TaON 介电体膜的步骤和; 在上述 TaON 介电体膜上形成上部电极的步骤。

为达到上述目的, 本发明的半导体元件的电容器制造方法的特征在于包括: 提供半导体基片的步骤和; 在上述半导体基片上形成具有接触孔的层间绝缘膜的步骤和; 在上述层间绝缘膜的接触孔内形成接触插头的步骤和; 在
25 包含上述接触插头的层间绝缘膜上, 形成具有与所述接触插头电连接的 MPS 的下部电极的步骤和; 在 550~650℃的温度和磷(phosphorus)气体气氛下对具有所述 MPS 的下部电极进行热掺杂处理的步骤和; 在所述下部电极上形成 TaON 介电体膜的步骤和; 对所述 TaON 介电体膜实施退火处理的步骤和; 在所述 TaON 介电体膜上形成上部电极的步骤。

30 为达到上述目的, 本发明的半导体元件的电容器制造方法的特征在于包括: 提供半导体基片的步骤和; 在所述半导体基片上形成具有第一接触孔的

- 第一层间绝缘膜的步骤和；在所述第一接触孔内形成接触插头的步骤和；在包含所述接触插头的所述第一层间绝缘膜上面形成蚀刻阻挡层的步骤和；在所述蚀刻阻挡层上形成第二层间绝缘膜的步骤和；在所述第二层间绝缘膜上依次形成硬掩模用聚合硅层和防反射层的步骤和；依次去除所述防反射膜、硬掩模用聚合硅层、第二层间绝缘膜和蚀刻阻挡层，形成露出所述接触插头上面的第二接触孔的步骤和；在包含所述露出的接触插头上面的所述防反射膜上形成掺杂聚合硅层的步骤和；在所述掺杂聚合硅层上形成 MPS 层的步骤和；在所述 MPS 层上在 550~660℃ 的温度和磷气体气氛下进行热掺杂的步骤和；在所述热掺杂处理的整个结构表面上形成埋置所述 MPS 层的防蚀消耗 (sacrificial) 性埋置层的步骤和；选择地去除所述防蚀消耗性埋置层和 MPS 层、掺杂聚合硅层、防反射膜和硬掩模用聚合硅层，并露出所述第二层间绝缘膜上面的步骤和；完全去除在所述 MPS 层露出的表面上残留的防蚀消耗性埋置层的步骤和；在包含所述 MPS 层的第二层间绝缘膜的露出的表面上，形成 TaON 介电体膜的步骤和；对所述 TaON 介电体膜在 700~900℃ 的温度和 N₂O 或 O₂ 气氛下实施第一次退火处理的步骤和；在所述 TaON 介电体膜上形成上部电极的步骤和；在形成所述上部电极后在 800~950℃ 的温度下进行第二次退火处理的步骤。

- 为达到上述目的，本发明的半导体元件的电容器的特征在于包括：半导体基片和；在所述半导体基片上形成的具有在 550~660℃ 的温度和磷气体气氛下进行热掺杂处理的 MPS 层的下部电极和；在所述下部电极上形成的 TaON 介电体膜和；在所述 TaON 介电体膜上形成的上部电极。

附图的简要说明

- 图 1 是用于说明已有技术的半导体元件的电容器及其制造方法的工序剖面图；

图 2 是用于说明已有技术的半导体元件的电容器及其制造方法的工序剖面图；

- 图 3 是用于说明已有技术的半导体元件的电容器及其制造方法的工序剖面图；

图 4 是用于说明本发明的实施例的半导体元件的电容器及其制造方法的

工序剖面图；

图5是用于说明本发明的实施例的半导体元件的电容器及其制造方法的工序剖面图；

图6是用于说明本发明的实施例的半导体元件的电容器及其制造方法的
5 工序剖面图；

图7是用于说明本发明的实施例的半导体元件的电容器及其制造方法的工序剖面图；

图8是在本发明的半导体元件的电容器及其制造方法中，在形成下部电极后进行热掺杂的状态下P浓度随温度变化的曲线图。

10

实施本发明的方案

下面参考附图说明本发明的半导体元件的电容器及其制造方法实施方案的具体例。

15 图4~图7是用于说明本发明的半导体元件的电容器及其制造方法实施例的工序剖面图。

图8是在本发明的半导体元件的电容器及其制造方法中，在下部电极形成后进行热掺杂的状态下P(磷)浓度随温度变化的曲线图。

20 本发明实施例的半导体元件的电容器及其制造方法如图4所示，在半导体基片21上蒸镀层间绝缘膜23、在层间绝缘膜23上涂布未示出的接触插头用感光膜图案(未示出)。此时，层间绝缘膜23上使用HDP、BPSG或SOG物质等蒸镀。

接着，依次去除以感光膜图案(未示出)为掩模的层间绝缘膜23，形成露出一部分半导体基片21的接触孔25。

25 随后，去除感光膜图案(未示出)，在包含接触孔25的层间绝缘膜23露出的上面，蒸镀埋置接触孔25的掺杂聚合硅层，通过CMP工序或全面蚀刻工序选择地将其去除而形成接触插头27。此时，接触插头用掺杂聚合硅层使用LP-CVD或RTP设备形成，具有的磷(P)浓度在 2×10^{20} 原子/cc以上。

30 其次，在含有接触插头27的层间绝缘膜23露出的上面，蒸镀阻挡氮化膜29，用作后续工序中形成的盖层氧化膜蚀刻工序中的蚀刻阻挡层。此时，阻挡氧化膜29，用LPCVD、PE、CVD、或RTP装备蒸镀200~800 Å

的厚度。

接着,如图5所示,在阻挡氮化膜29上形成盖层氧化膜31、在盖层氧化膜31上依次形成硬掩模用聚合硅层(未示出)和防反射层(未示出)。此时,盖层氧化膜31的物质是使用PE-TEOS、PSG或Si-H基(base)原料的USG膜之一。

接着,虽然未示出,但在防反射层(未示出)上涂布电荷电极掩模用感光膜图案(未示出),将感光膜图案(未示出)作为掩模首先对防反射膜和硬掩模用聚合硅层加以蚀刻。

接着,与盖层氧化膜31一起选择地对防蚀刻用阻挡氮化膜29进行蚀刻,露出接触插头27和层间绝缘膜23的一部分。此时,在蚀刻盖层氧化膜31时,盖层氧化膜31和防蚀刻用阻挡氮化膜29将氧化膜与氮化膜的蚀刻选择比维持在5~20:1。

另外,为使后续的掩模作业容易,对防反射层(未图示)通过使用SiON等无机(inorganic)物质或有机(organic)物质蒸镀或涂覆成300到1000 Å厚度。

随后,去除感光膜图案(未示出)后,在包含露出的接触插头27上面的防反射层(未示出)上,蒸镀下部电极用的掺杂聚合硅层33。

随后,在掺杂聚合硅层33的表面上,蒸镀不掺杂聚合硅的状态下,在大约550~650℃的温度下形成凹凸状MPS(亚稳定硅:Meta-Stable-Silicon)或HSG(Hemi-Spherical-Grain)35。

接着,形成MPS层35后,在磷(P)气体气氛中,例如1~5%的 PH_3/N_2 或50~2000sccm流量的 PH_3/He 下进行热掺杂(thermal doping)。

此时,约在550~650℃,更好是575~625℃,再好是595~605℃的低温条件下,在电炉中,保持1~100Torr范围的压力的稳定状态下进行30到120分钟的热掺杂。

这样的热掺杂处理在550~750℃的温度下进行的结果如图8所示,在600℃附近的温度下可得到最高的磷(P)掺杂浓度值。

对这样的结果,更具体地作如下说明。

PH_3 气体在570~580℃下分解,P掺杂工序温度在700℃的温度以上时,下部电极内硅(Si)几乎全部结晶,但在650℃的温度下以非晶态硅(a-Si)存在。

另外,下部电极的硅表面的粘附系数(sticking coefficient)在650℃的温度

下更大。这是因为下部电极的硅内非晶硅占据的比例高、表面附近的悬空键(dangling bonds)存在很多所致。因此,可知在 600℃附近可得到最高的 P 掺杂值。

接着,在整个结构露出的表面上形成埋置 MPS 层 35 内部的防蚀消耗性埋置层 36。

此时,在防蚀消耗性埋置层 36 上将感光膜涂布成 0.5μm~1.5μm 左右的厚度来使用,或将 PSG 或 USG 等氧化膜蒸镀成 0.1μm~0.5μm 左右的厚度或使用 SOG。

另一方面,作为盖层氧化膜 31 的物质使用 PE-TEOS 时,在埋置 MPS 层 35 内部的物质中,以蒸镀湿式蚀刻速度相对快 3 倍以上的 PSG 膜或 USG 膜来替代感光膜是优选的。

接着,如图 6 所示,通过 CMP 工序选择地去除防蚀消耗性埋置层 36 和 MPS 层 35、掺杂聚合硅层 33、防反射膜(未示出)以及硬掩模用聚合硅层(未示出),使盖层氧化膜 31 的上面露出。

此时,在去除防蚀消耗性埋置层 36 和 MPS 层 35、掺杂聚合硅层 33、防反射膜(未示出)以及硬掩模用聚合硅层(未示出)的工序中,可使用全面蚀刻工序替代 CMP 工序,该工序把包含硬掩模用聚合硅层(未示出)的下部电极用聚合硅,过度蚀刻 5%到 10%左右。

接着,完全去除 MPS 层 35 露出的表面上剩余的防蚀消耗性埋置层 36,形成 MPS 层 35 和掺杂的聚合硅层 33 构成的凹状结构的电荷贮存电极。此时,在防蚀消耗性埋置层 36 中使用氧化膜的情况下,防蚀消耗性埋置层通过湿式蚀刻去除。

另一方面,作为下部电极的其他实施例,也可以形成简单的叠层结构(simple stacked structure)或柱状结构为基础的二重和三重结构的多种三维结构来代替凹状(concave)结构。

作为下部电极的另一实施例,在形成圆筒状结构的存储节后,在存储节表面上形成 MPS 层来代替凹状结构,也可用于下部电极。

接着,如图 7 所示,在包含 MPS 层 35 的盖层氧化膜 31 的露出的表面上,蒸镀 TaON 介电体膜 37。

接着,为去除碳杂质和氧空位,将 TaON 介电体膜 37 在 700~900℃的温度和 N₂O 或 O₂ 气氛下进行后续退火处理。

接着, 为增加 TaON 介电体膜 37 的介电率, 再在 NH_3 气氛下在 $700\sim 900^\circ\text{C}$ 的温度下, 在 RTP 或电炉中对 TaON 介电体膜 37 进行退火处理, 或在 $400\sim 500^\circ\text{C}$ 的低温下进行等离子体处理, 将氮注入到 TaON 介电体膜 37 内或进行氮化处理。

- 5 随后, 在 NH_3 气氛下进行退火处理时, 该过程中把不均匀的 TaON 介电体膜的表面在 $400\sim 500^\circ\text{C}$ 的低温和 N_2O 或 O_2 气氛下进行 1 到 2 分钟的等离子体氧化处理, 从而减少电容器泄漏电流的产生。

接着, 在 TaON 介电体膜 37 上, 通过利用 TiCl_4 气体的 CVD 法, 将 TiN 层 39 蒸镀到 $200\sim 500\text{ \AA}$ 厚, 选择地对其形成图案来形成上部电极。

- 10 作为上部电极的其他实施例, 在 TiN 层 39 上, 在抵抗后续热工序产生的应力(stress)和热冲击的缓冲层上, 层叠 $500\sim 1500\text{ \AA}$ 厚的掺杂聚合硅层(未示出), 也可用作上部电极。

另一方面, 作为上部电极的其他实施例, 也可用掺杂聚合硅或使用 TaN, W, WN, WSi, Ru, RuO_2 , Ir, IrO_2 , Pt 的金属类物质中的一种替代

- 15 TiN 层 39 来形成上部电极。

另一方面, 在上述图 5 中的热掺杂处理后, 蒸镀 TaON 介电体膜, 在 800°C 以下的温度下进行热处理的过程中, 构成下部电极的聚合硅的磷掺杂, 向表面侧移动, 或者发生局部凝聚等去活(deactivation)现象。

- 20 因此, 通过防止这种去活现象可使下部电极的磷掺杂活化, 作为使利用图 5 所述的磷杂质的热掺杂效果达到最大的方法, 在形成上部电极后, 在 $800\sim 950^\circ\text{C}$ 的温度范围内利用 RTP 或电炉也可进行退火。此时, 利用 RTP 的退火处理进行约 $10\sim 60$ 秒, 利用电炉的退火处理在 N_2 气氛下约进行 5 到 30 分钟。这样, 通过这种追加的退火工序, 可进一步减少向下部电极侧的过渡层。

- 25 本发明不限于上述实施例, 在不背离本发明的宗旨的范围内可对实施例作多种变更。

发明的效果

- 30 如上所述, 本发明的半导体元件电容器及其制造方法有如下效果。
本发明的半导体元件及其制造方法中, 下部电极用接触形成时, 在层间

绝缘膜(例如,位线与下部电极之间存在的氧化膜)和阻挡氮化膜上,作为缓冲膜而连续蒸镀氧化膜后,与进行接触蚀刻的已有方法不同,形成层间绝缘膜后直接形成接触孔,接着蒸镀接触插头用聚合硅,对其全面进行蚀刻来形成接触插头,从而比原有方法减少插头形成时的单位工序数,可降低生产成本。

5 本发明的半导体元件电容器及其制造方法中,与原有的方法不同,在550~650℃的低温下对下部电极(具有凹凸结构的MPS层的聚合硅层)进行磷的热掺杂,提高下部电极内的磷的杂质浓度并使向下部电极侧的过渡率(depletion ratio)达到最小,从而,使电容($C_{\text{最小}}$),即向上部电极施加“-”电压时的 C_s 增加,将过渡率(ΔC)降低到约2%的水平。因此,本发明与使用具有相同下部电极面积的原有的TaON(或Ta₂O₅)介电体膜的电容器相比,可得到增加10%以上的充电电容值。

10 本发明中,与原有方法不同,形成TaON介电体膜后,在NH₃气氛的升压或减压条件下,在RTP或电炉中,追加进行退火处理等后续热处理或等离子体处理,从而可使TaON介电体膜的介电率增加。

15 本发明中的具有凹状结构的TaON电容器,与使用具有相同下部电极面积的原有的NO或TaON(或Ta₂O₅)介电体膜的电容器相比,可得到更大的充电电容值,因此也可使存储器单元的刷新(refresh)时间增加,从而可适用于具有0.16μm以下的精细电线的一系列制品的存储器单元。

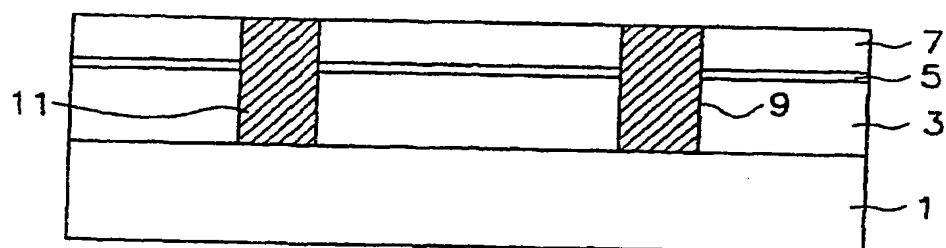


图 1

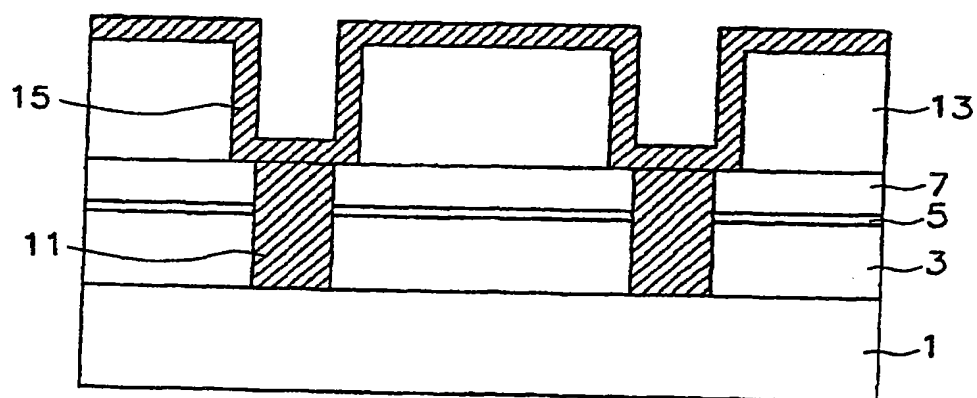


图 2

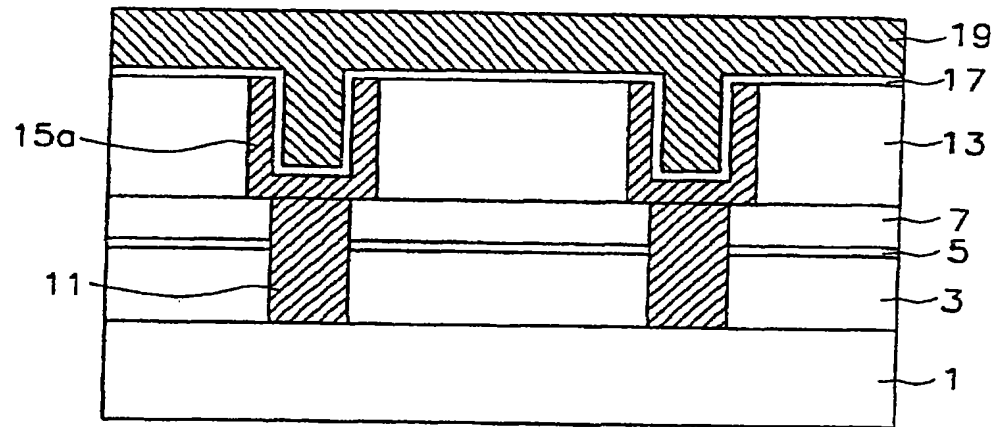


图 3

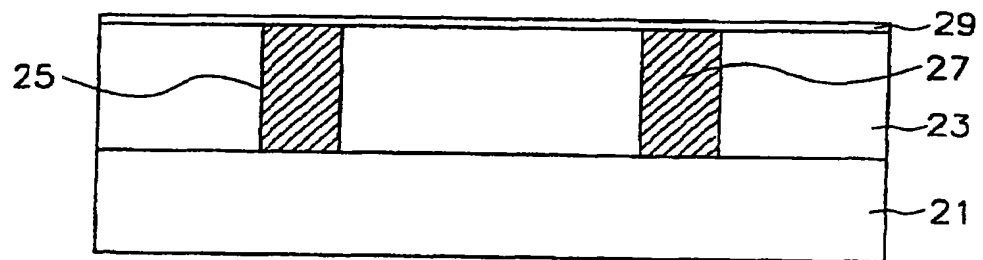


图 4

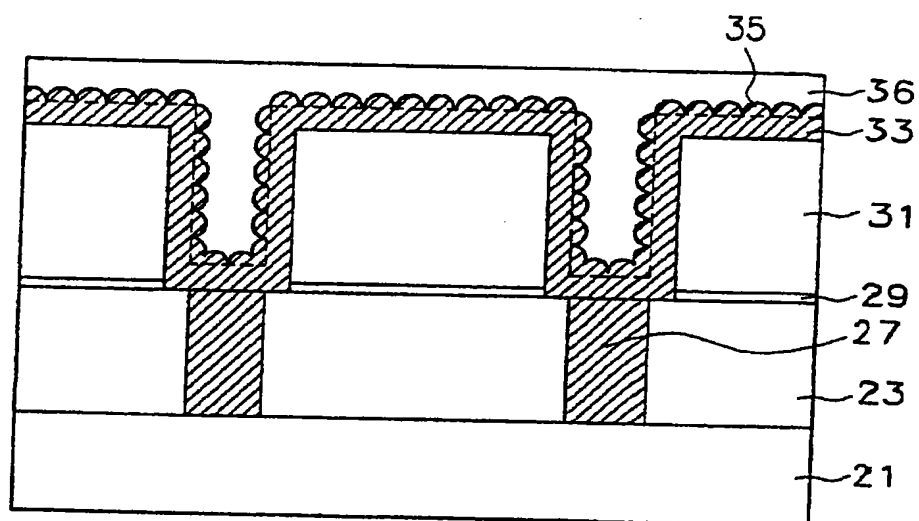


图 5

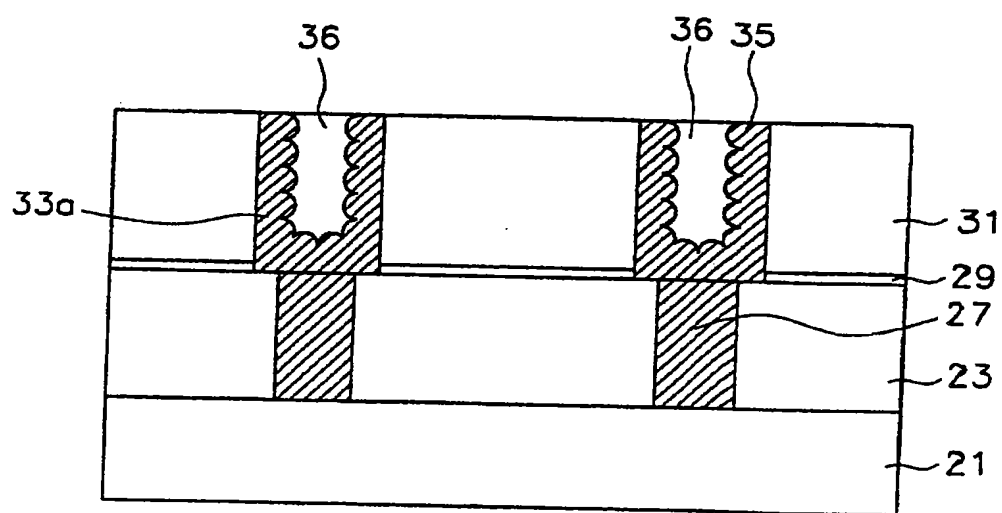


图 6

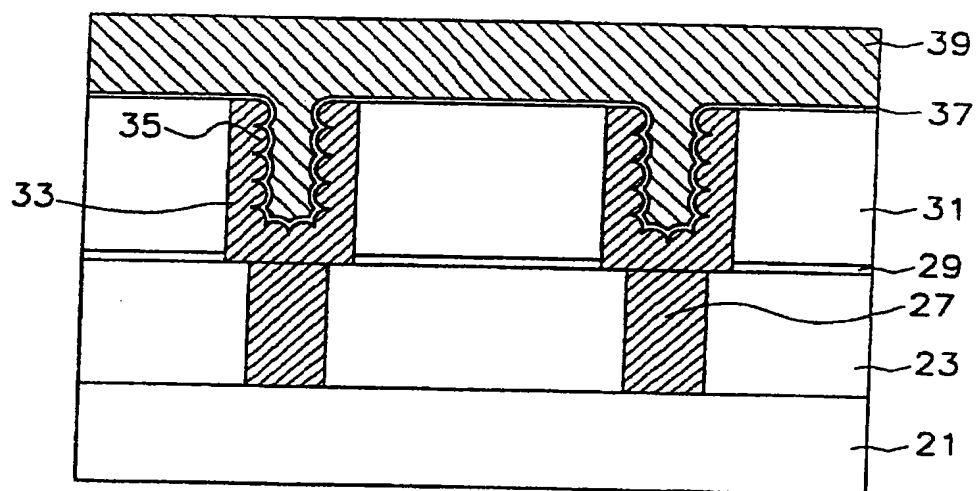


图 7

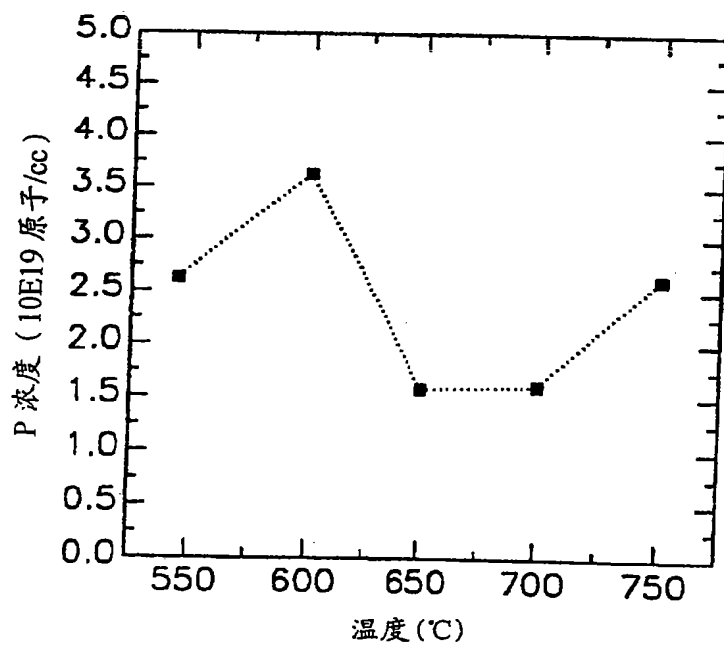


图 8